

# 公開実用平成 2-133755

⑩ 日本国特許庁(JP)

⑪ 実用新案出願公開

⑫ 公開実用新案公報(U) 平2-133755

⑬ Int. Cl.<sup>5</sup>

G 06 F 15/02

G 09 G 3/04

識別記号

3 3 0 L  
3 1 5 E  
S

庁内整理番号

9072-5B  
9072-5B  
6376-5C

⑭ 公開 平成2年(1990)11月6日

審査請求 未請求 請求項の数 1 (全 頁)

⑮ 考案の名称 小型電子式計算機

⑯ 実 願 平1-41943

⑰ 出 願 平1(1989)4月10日

⑱ 考 案 者 小 川 清 東京都西多摩郡羽村町栄町3丁目2番1号 カシオ計算機  
株式会社羽村技術センター内

⑲ 出 願 人 カシオ計算機株式会社 東京都新宿区西新宿2丁目6番1号

BEST AVAILABLE COPY



## 明 細 書

### 1. 考案の名称

小型電子式計算機

### 2. 実用新案登録請求の範囲

2進数データを記憶する記憶手段と、この記憶手段に記憶した2進数データを同一ビット数の複数ブロックに区別する区別手段と、この区別手段により区別された上記複数ブロックの1つを指定する指定手段と、この指定手段により指定されたブロックの2進数データを読み出す読出手段と、この読出手段により読出された上記2進数データの各ビットの数字を表示手段の複数桁に対応させて2進数表示すると共に、上記指定手段により指定されない各ブロックについて各ブロックを表わす記号を上記表示手段の1桁毎に対応させて表示させる表示制御手段とを具備したことを特徴とする小型電子式計算機。

### 3. 考案の詳細な説明

#### 〔産業上の利用分野〕

この考案は2進数表示が可能な小型電子式計算



機に関する。

〔従来の技術〕

関数機能を備えた小型電子式計算機では2進数を表示するものがあり、この種の小型電子式計算機は例えば32ビットの2進数データを8ビットずつ表示させ、表示しきれない部分の存在を「←」「→」の矢印を表示して示していた。

しかし、従来の小型電子式計算機では表示されている部分が全体のどこの部分か分かりにくいという欠点があった。

〔考案が解決しようとする課題〕

この考案は、2進数データを複数のブロックに区別して表示する場合に、表示した部分と全体との位置関係を見やすく表示する小型電子式計算機を提供することを目的とする。

〔課題を解決するための手段〕

この考案は上記課題を解決するために、2進数データを記憶する記憶手段と、この記憶手段に記憶した2進数データを同一ビット数の複数ブロックに区別する区別手段と、この区別手段により区



別された上記複数ブロックの1つを指定する指定手段と、この指定手段により指定されたブロックの2進数データを読み出す読出手段と、この読出手段により読出された上記2進数データの各ビットの数字を表示手段の複数桁に対応させて2進数表示すると共に、上記指定手段により指定されない各ブロックについて各ブロックを表わす記号を上記表示手段の1桁毎に対応させて表示させる表示制御手段とを具備したことを特徴とする。

#### 【作用】

記憶手段は2進数データを記憶し、区別手段はこの記憶手段に記憶した2進数データを同一ビット数の複数ブロックに区別する。

指定手段はこの区別手段により区別された上記複数ブロックの1つを指定し、読出手段はこの指定手段により指定されたブロックの2進数データを読み出す。

表示制御手段はこの読出手段により読出された上記2進数データの各ビットの数字を表示手段の複数桁に対応させて2進数表示すると共に、上記



指定手段により指定されない各ブロックについて各ブロックを表わす記号を上記表示手段の 1 桁毎に対応させて表示させる。

〔実施例〕

以下、この考案の実施例を図面に基づいて説明する。第 1 図はこの考案を適用した小型電子式計算機の回路構成を示すブロック図である。同図において、1 はキー入力部である。このキー入力部 1 は 2 進（バイナリ）計算モードを設定するバイナリ計算モード設定キー 1 a、表示切換キー 1 b、1 c、および図示しない数値キーや演算キーを備えている。

表示切換キー 1 b は、後述するフラグ 6 a のフラグ位置を上位に移動させ、表示すべき 2 進数の指定ブロックを上位に切換えるためのキーである。また表示切換キー 1 c は、後述するフラグ 6 a のフラグ位置を下位に移動させ、表示すべき 2 進数の指定ブロックを下位に切換えるためのキーである。そして、キー入力部 1 は各キーが入力されたとき該キー入力に応じたキー入力信号を制御部 2



に出力する。

制御部 2 は、制御プログラムを図示しない R O M に内蔵し、上記キー入力信号に基づく処理および表示処理等の各種処理を実行する。

3 は演算データを記憶するデータ R A M であり、図示しない各種演算レジスタの他に、32 b i t の 2 進数データを記憶する B (バイナリ) レジスタ 3 a を内蔵している。この実施例では B レジスタ 3 a に記憶された 32 b i t の 2 進数データを 8 b i t 毎に分割して 4 つのブロックに区別し、各ブロック毎に表示するものである。

この場合、第 1 ブロックを B レジスタ 3 a の 1 ~ 8 b i t (下位 b i t から数える。以下同様。) とし、第 2 ブロックを B レジスタ 3 a の 9 ~ 16 b i t とし、第 3 ブロックを B レジスタ 3 a の 17 ~ 24 b i t とし、第 4 ブロックを B レジスタ 3 a の 25 ~ 32 b i t として区別する。

4 は、データ R A M 3 をアドレス指定するアドレス制御部である。演算部 5 は制御部 2 から出力される演算命令に応答して演算処理を実行するも



ので、データRAM3から読み出されたデータを演算して再びデータRAM3に記憶させる。

フラグ制御部6は、レジスタ3aに記憶された32bitの2進数データを、複数のブロックに区別して分割表示するときに、表示すべきブロックを指定するものである。そのために、このフラグ制御部6はブロック指定データを記憶する4bit構成のフラグ6aを内蔵している。そしてフラグ6aの記憶内容が、「0001」の場合は上記第1ブロックを指定し、「0010」の場合は上記第2ブロックを指定し、「0100」の場合は上記第3ブロックを指定し、「1000」の場合は上記第4ブロックを指定するものである。

表示制御部7は、11桁構成の表示バッファ（図示せず）を内蔵し、通常モードではデータRAM3から読み出されたデータに基づいて表示駆動信号を発生し表示部8に供給すると共に、バイナリ計算モードではフラグ6aにより指定されたブロックの2進数データのみを数値表示し他のブロックについては上記2進数データの数値表示に



付随して他のブロックの個数に対応する記号を表示する。

表示部 8 は例えば液晶表示装置により構成され、表示制御部 7 から出力される表示駆動信号により表示動作して数値および記号を表示する。

次に、第 2 図および第 3 図に示すフローチャートに基づいて上記実施例の動作を説明する。第 2 図は 2 進数表示処理の動作を示し、第 3 図は第 2 図のサブルーチンである表示切換処理の動作を示すものである。

この場合、2 進数を表示させるためには、まず 10 進数を数値キーで入力し、次にバイナリ計算モード設定キー 1 a を入力する。これにより、10 進数を 2 進数に変換する 2 進数変換処理を実行し、変換された 2 進数は B レジスタ 3 a に記憶される。このとき、この実施例ではフラグ 6 a が初期状態の「0 0 0 1」に設定され、フラグ制御部 6 は 2 進数データの上記第 1 ブロック (1 ~ 8 b i t) を指定する。2 進数変換処理は周知技術なので説明を省略する。





① 2進数変換処理の実行後

そして、上記2進数変換処理が終了すると、制御部2は第2図に示す2進数表示処理を開始する。

まず、ステップA1では2進数変換処理が終了した直後か否かが判断される。いま、2進数変換処理が終了した直後なのでYESと判断されてステップA3に進む。

ステップA3では、「フラグ1あり」か否かが判断される。この実施例で「フラグ1あり」とは、

フラグ6aの1bit目が「1」すなわちフラグ6aの内容が「0001」で第1ブロックを指定した状態を意味する。つまり、このステップA3ではフラグ6aの内容が「0001」か否かが判断される。この場合、フラグ6aの内容は初期状態の「0001」なので、YESと判断されステップA4に進む。

ステップA4において、制御部2はBレジスタ3aの1～8bit（すなわち、第1ブロック）に記憶されている2進数データを読出し、表示制御部7の表示バッファ（図示せず）の第1桁～第

8桁に記憶する。

次に、ステップA5では制御部2は「-（マイナス）」符号データを表示制御部7に送出し、表示バッファの第9桁～第11桁に記憶する。ステップA5からはステップA6に進み、表示バッファに記憶された表示データを表示部8で表示する表示処理を実行する。これにより、第4図（1）に示すように表示部8の第1桁～第8桁には2進数データの1～8bitの内容が表示され、表示部8の第9桁，第10桁，第11桁には他のブロックの存在を示す「-」符号が表示される。ステップA6の実行後はステップA1に戻る。

ステップA1において、上述と同様に2進数変換処理が終了した直後か否かが判断される。この場合は、2進数変換処理が終了した直後ではないので、NOと判断されステップA2に進む。

ステップA2は、表示切換キー1b，1cの入力に応じて2進数表示のブロック指定を切換える表示切換処理であり、詳細は第3図に示すとおりである。




まず、ステップ B 1 では表示切換キー 1 b が入力されたか否かが判断される。いま、表示切換キー 1 b は入力されていないので、N O と判断されステップ B 4 に進む。ステップ B 4 において、表示切換キー 1 c が入力されたか否かが判断される。このステップ B 4 でも、表示切換キー 1 c はまだ入力されていないので、N O と判断されステップ B 1 に戻る。以下、上述と同様に、表示切換キー 1 b, 1 c が入力されるまでステップ B 1, B 4 を繰返し実行する。

② 表示切換キー 1 b を 1 回操作したとき

ここで、2 進数データの第 2 ブロックを参照するために表示切換キー 1 b が操作されると、ステップ B 1 で Y E S と判断されステップ B 2 に進む。

ステップ B 2 においては、「フラグ 4 あり」か否かが判断される。この実施例で「フラグ 4 あり」とはフラグ 6 a の 4 b i t 目が「1」、すなわちフラグ 6 a の内容が「1 0 0 0」であることを意味する。つまり、ステップ B 2 ではフラグ 6 a の内容が「1 0 0 0」か否かが判断される。



いま、フラグ 6 a の内容は「0 0 0 1」なので  
N O と判断され、ステップ B 3 が実行される。ス  
テップ B 3 では、フラグ 6 a 内の b i t データ  
「1」を 1 b i t 左（1 b i t 上位）に移動する。  
これにより、フラグ 6 a の内容は「0 0 1 0」と  
なる。このステップ B 3 の実行後は第 3 図の処理  
を終了し第 2 図のステップ A 3 に進む。

ステップ A 3 では、上述と同様に「フラグ 1 あ  
り」か否かが判断される。すなわち、フラグ 6 a  
の内容が「0 0 0 1」か否かが判断される。この  
場合、フラグ 6 a の内容は「0 0 1 0」のため N  
O と判断され、ステップ A 7 に進む。

ステップ A 7 において、制御部 2 は「－」符号  
データを表示制御部 7 に送出し、表示バッファの  
第 1 桁に「－」符号を記憶する。次のステップ A  
8 では「フラグ 2 あり」か否かが判断される。こ  
の実施例で「フラグ 2 あり」とは、フラグ 6 a の  
2 b i t 目が「1」、すなわちフラグ 6 a の内容  
が「0 0 1 0」であることを意味する。つまり、  
ステップ A 8 ではフラグ 6 a の内容が「0 0 1 0」



か否かが判断される。

いま、フラグ 6 a の内容は「0010」なので、YES と判断されステップ A 9 に進む。ステップ A 9 において、制御部 2 はレジスタ 3 a の 9 ～ 16 bit (すなわち、第 2 ブロック) に記憶されている 2 進数データを読み出し、表示制御部 7 の表示バッファの第 9 桁～第 16 桁に記憶する。

次に、ステップ A 10 では制御部 2 は「-」符号データを表示制御部 7 に送出し、表示バッファの第 10 桁、第 11 桁に記憶する。ステップ A 10 に続いてステップ A 6 に進み、表示バッファに記憶された表示データを表示部 8 で表示する表示処理を実行する。これにより、第 4 図 (2) に示すように表示部 8 の第 2 桁～第 9 桁には 2 進数データの 2 ～ 9 bit の内容が表示され、表示部 8 の第 1 桁、第 10 桁、第 11 桁には他のブロックの存在を示す「-」符号が表示される。ステップ A 6 の実行後はステップ A 1 に戻る。

ステップ A 1 において、上述と同様に 2 進数変換処理が終了した直後か否かが判断される。この

場合は、2進数変換処理が終了した直後ではないので、NOと判断されステップA2に進む。

ステップA2では、上述と同様に表示切換処理を実行し、まずステップB1により表示切換キー1bが入力されたか否かが判断される。いま、表示切換キー1bの入力はなく、NOと判断されステップB4に進む。ステップB4において、表示切換キー1cが入力されたか否かが判断される。

このステップB4でも、表示切換キー1cはまだ入力されていないので、NOと判断されステップB1に戻る。以下、上述と同様に、表示切換キー1b、1cが入力されるまでステップB1、B4を繰返し実行する。

### ③ 表示切換キー1bを2回操作したとき

ここで、2進数データの第3ブロックを参照するために表示切換キー1bが操作されると、ステップB1でYESと判断されステップB2に進む。

ステップB2においては、上述と同様に「フラグ4あり」すなわち、フラグ6aの内容が「1000」か否かが判断される。いま、フラグ6aの



内容は「0010」なのでNOと判断され、ステップB3が実行される。ステップB3では、フラグ6a内のbitデータ「1」を1bit左(1bit上位)に移動する。これにより、フラグ6aの内容は「0100」となる。このステップB3の実行後は第3図の処理を終了し第2図のステップA3に進む。

ステップA3では、上述と同様に「フラグ1あり」すなわち、フラグ6aの内容が「0001」か否かが判断される。この場合、フラグ6aの内容は「0100」のためNOと判断され、ステップA7に進む。

ステップA7において、制御部2は「-」符号データを表示制御部7に送出し、表示バッファの第1桁に「-」符号を記憶する。次のステップA8では「フラグ2あり」すなわち、フラグ6aの内容が「0010」か否かが判断される。いま、フラグ6aの内容は「0100」なので、NOと判断されステップA11に進む。

ステップA11では、制御部2は「-」符号デ



ータを表示制御部 7 に送出し、表示バッファの第 2 桁に「-」符号を記憶する。

続くステップ A 1 2 により、「フラグ 3 あり」か否かが判断される。この実施例で「フラグ 3 あり」とは、フラグ 6 a の 3 b i t 目が「1」すなわちフラグ 6 a の内容が「0 1 0 0」で第 3 ブロックを指定した状態を意味する。つまり、このステップ A 1 2 ではフラグ 6 a の内容が「0 1 0 0」か否かが判断される。いま、フラグ 6 a の内容は「0 1 0 0」なので Y E S と判断されステップ A 1 3 に進む。

ステップ A 1 3 において、制御部 2 は B レジスタ 3 a の 1 7 ~ 2 4 b i t (すなわち、第 3 ブロック) に記憶されている 2 進数データを読み出し、表示制御部 7 の表示バッファの 1 7 ~ 2 4 桁に記憶する。

次に、ステップ A 1 4 では制御部 2 は「-」符号データを表示制御部 7 に送出し、表示バッファの第 1 1 桁に記憶する。ステップ A 1 4 に続いてステップ A 6 に進み、表示バッファに記憶された





表示データを表示部 8 で表示する表示処理を実行する。これにより、表示部 8 の第 3 桁～第 10 桁には 2 進数データの 17～24 bit の内容が表示され、表示部 8 の第 1 桁，第 2 桁，第 11 桁には他のブロックの存在を示す「—」符号が表示される。ステップ A 6 の実行後はステップ A 1 に戻る。

ステップ A 1 において、上述と同様に 2 進数変換処理が終了した直後か否かが判断される。この場合は、NO と判断されステップ A 2 に進む。

ステップ A 2 の表示切換処理では、上述と同様にステップ B 1 で表示切換キー 1 b が入力されたか否かが判断される。いま、表示切換キー 1 b は入力されていないので、NO と判断されステップ B 4 に進む。ステップ B 4 において、表示切換キー 1 c が入力されたか否かが判断される。このステップ B 4 でも、表示切換キー 1 c はまだ入力されていないので、NO と判断されステップ B 1 に戻る。以下、上述と同様に、表示切換キー 1 b，1 c が入力されるまでステップ B 1，B 4 を繰返



し実行する。

④ 表示切換キー 1 b を 3 回操作したとき

ここで、2 進数の第 4 ブロックを参照するために表示切換キー 1 b が操作されると、ステップ B 1 で Y E S と判断されステップ B 2 に進む。

ステップ B 2 においては、上述と同様に「フラグ 4 あり」すなわち、フラグ 6 a の内容が「1 0 0 0」か否かが判断される。いま、フラグ 6 a の内容は「0 1 0 0」なので N O と判断され、ステップ B 3 が実行される。ステップ B 3 では、フラグ 6 a 内の b i t データ「1」を 1 b i t 左 ( 1 b i t 上位 ) に移動する。これにより、フラグ 6 a の内容は「1 0 0 0」となる。このステップ B 3 の実行後は第 3 図の処理を終了し第 2 図のステップ A 3 に進む。

ステップ A 3 では、上述と同様に「フラグ 1 あり」すなわち、フラグ 6 a の内容が「0 0 0 1」か否かが判断される。この場合、フラグ 6 a の内容は「1 0 0 0」のため N O と判断され、ステップ A 7 に進む。



ステップ A 7 において、制御部 2 は「ー」符号データを表示制御部 7 に送出し、表示バッファの第 1 桁に「ー」符号を記憶する。次のステップ A 8 では「フラグ 2 あり」すなわち、フラグ 6 a の内容が「0 0 1 0」か否かが判断される。いま、フラグ 6 a の内容は「1 0 0 0」なので、NO と判断されステップ A 1 1 に進む。

ステップ A 1 1 で、制御部 2 は「ー」符号データを表示制御部 7 に送出し、表示バッファの第 2 桁に「ー」符号データを記憶する。

次のステップ A 1 2 により、「フラグ 3 あり」すなわち、フラグ 6 a の内容が「0 1 0 0」か否かが判断される。いま、フラグ 6 a の内容は「1 0 0 0」なので NO と判断されステップ A 1 5 に進む。

ステップ A 1 5 において、制御部 2 は「ー」符号データを表示制御部 7 に送出し、表示バッファの第 3 桁に「ー」符号データを記憶する。

続くステップ A 1 6 では、制御部 2 は B レジスタ 3 a の 2 5 ~ 3 2 b i t (すなわち、第 4 プロ



ック)に記憶されている2進数データを読出し、表示制御部7の表示バッファの第4桁～第11桁に記憶する。ステップA16に続いてステップA6に進み、表示バッファに記憶された表示データを表示部8で表示する表示処理を実行する。これにより、表示部8の第4桁～第11桁には2進数データの25～32bitの内容が表示され、表示部8の第1桁～第3桁には他のブロックの存在を示す「-」符号が表示される。ステップA6の実行後はステップA1に戻る。

ステップA1において、上述と同様に2進数変換処理が終了した直後か否かが判断される。この場合は、NOと判断されステップA2に進む。

ステップA2の表示切換処理では、上述と同様にステップB1で表示切換キー1bが入力されたか否かが判断される。いま、表示切換キー1bは入力されていないので、NOと判断されステップB4に進む。ステップB4において、表示切換キー1cが入力されたか否かが判断される。このステップB4でも、表示切換キー1cはまだ入力さ



れていないので、N O と判断されステップ B 1 に戻る。以下、上述と同様に、表示切換キー 1 b, 1 c が入力されるまでステップ B 1, B 4 を繰返し実行する。

④ 表示切換キー 1 c を 1 回操作したとき

ここで、先に表示した 2 進数データの第 3 ブロックを参照するために表示切換キー 1 c が操作されると、ステップ B 1 で N O、ステップ B 4 で Y E S と判断されステップ B 5 に進む。

ステップ B 5 において、上記ステップ A 3 と同様に「フラグ 1 あり」すなわち、フラグ 6 a の内容が「0 0 0 1」か否かが判断される。この場合、フラグ 6 a の内容は「1 0 0 0」なので、N O と判断され次のステップ B 6 に進む。

ステップ B 6 では、フラグ 6 a 内の b i t データ「1」を 1 b i t 右（1 b i t 下位）に移動する。これにより、フラグ 6 a の内容は「0 1 0 0」となる。このステップ B 3 の実行後は第 3 図の処理を終了し第 2 図のステップ A 3 に進む。以下、上述と同様の処理が繰返し実行される。



なお、上記実施例では 3 2 b i t の 2 進数データを 4 分割したが、これに限らず、b i t 数および分割数は任意に設定してよい。また、他のブロックの存在を示す記号は、上記実施例の「-」符号に限らず、どのような記号を使用してもよい。

#### [ 考案の効果 ]

以上詳述したように、この考案によれば、2 進数データを複数のブロックに区別して表示する場合に、表示した部分と全体との位置関係を見やすく表示する小型電子式計算機を提供することができる。

#### 4. 図面の簡単な説明

図面はこの考案の実施例を示すもので、第 1 図は回路構成を示すブロック図、第 2 図および第 3 図は動作を示すフローチャート、第 4 図は表示例を示す図である。

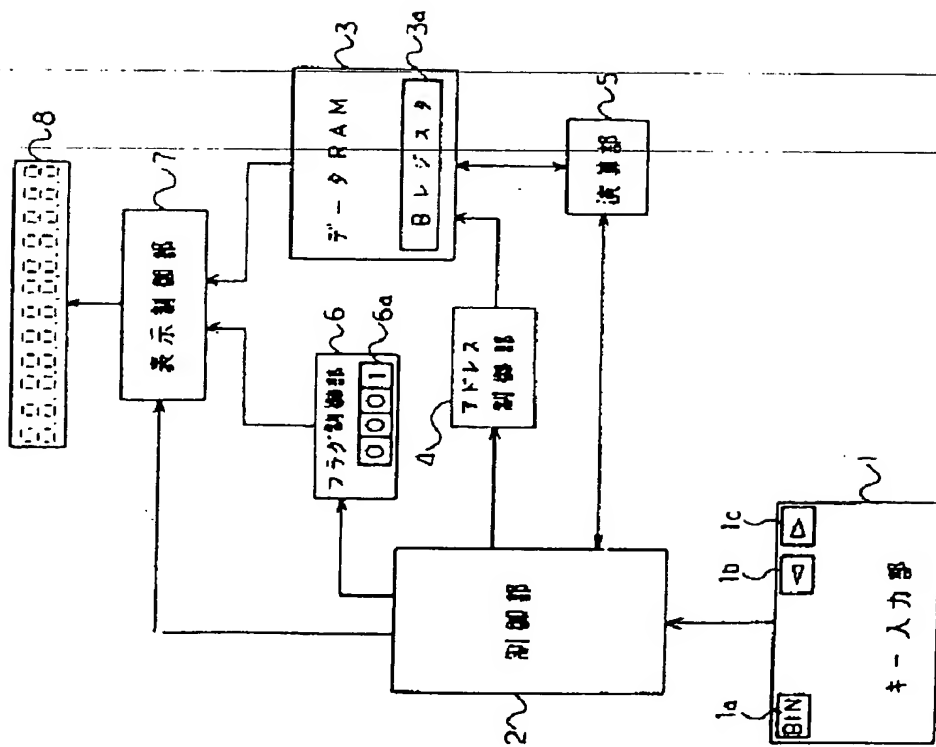
1 … キー入力部、1 a … バイナリ計算モード設定キー、1 b, 1 c … 表示切換キー、2 … 制御部、3 … データ R A M、3 a … B レジスタ、4 … アドレス制御部、5 … 演算部、6 … フラグ制御部、



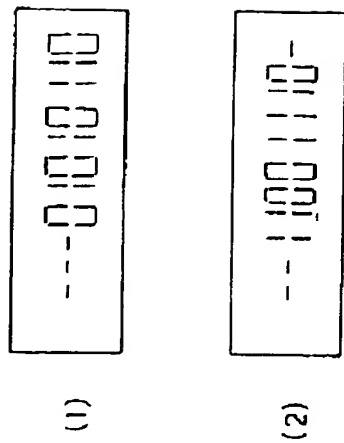
6 a … フラグ、7 … 表示制御部、8 … 表示部。

実用新案登録出願人

カシオ計算機株式会社



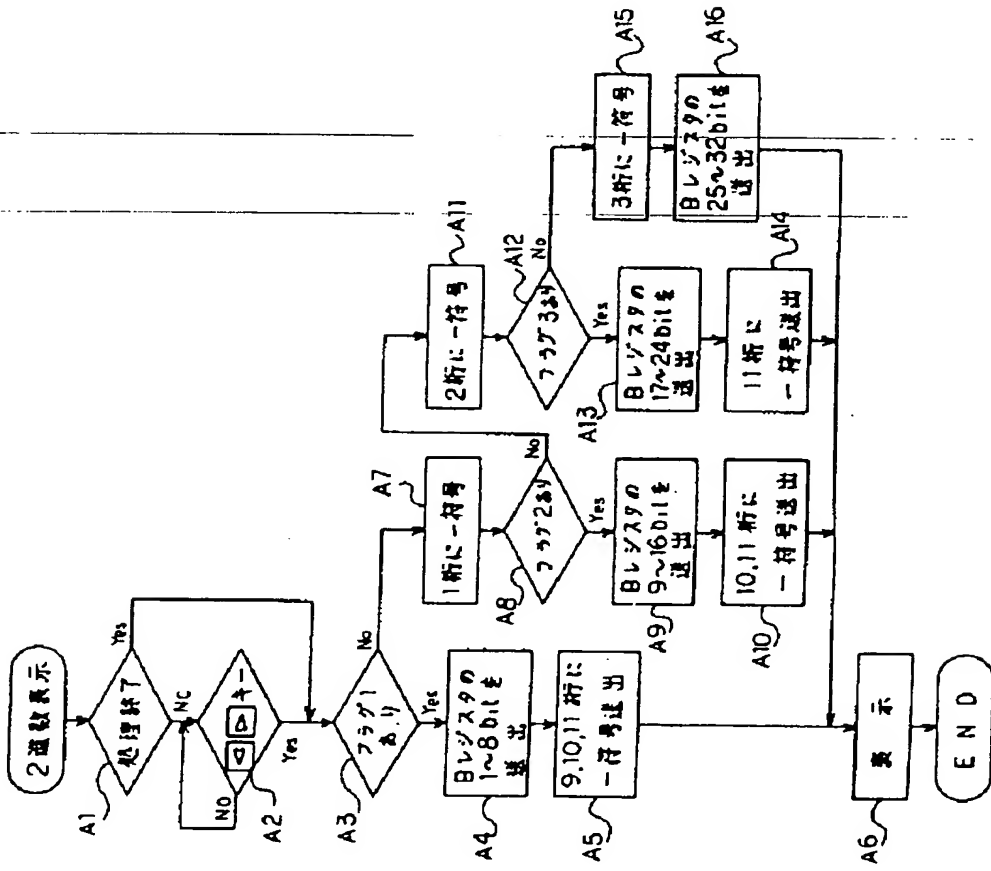
第 1 図



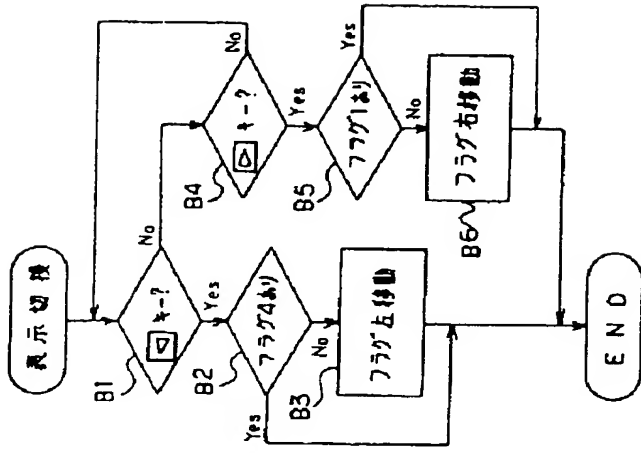
第 4 図

675





第2図



第3図

676

This Page is inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ BLACK BORDERS
- ☒ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☒ COLORED OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REPERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images  
problems checked, please do not report the  
problems to the IFW Image Problem Mailbox**